

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353365

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

H01L 23/12

(21)Application number : 2001-161914

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.05.2001

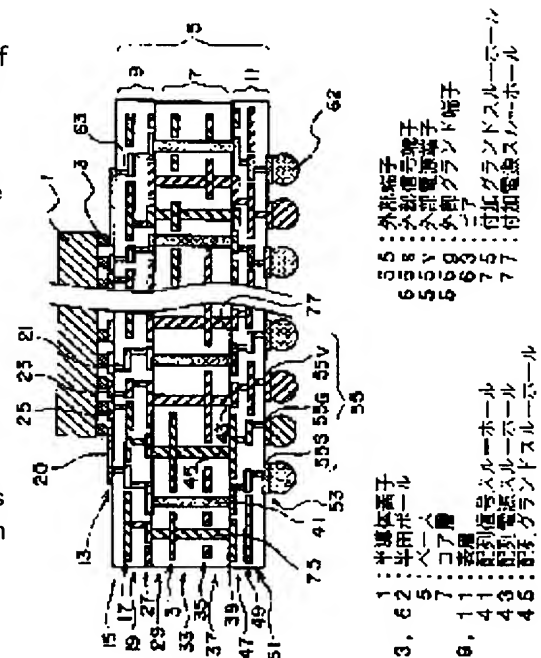
(72)Inventor : NAGATA TATSUYA
MIYAMOTO SEIJI
ANDO HIDEKO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the generation of noises by preventing a semiconductor device from being large-sized.

SOLUTION: The device is provided with a base 5 where surface layers 9, 11 are provided on both sides of a core layer 7 formed by a circuit board, and a semiconductor device 1 mounted on a base 5. The semiconductor device 1 is bonded with one surface layer 9 by bonding materials 3, and a plurality of external terminals 55 are arranged on the other surface layer 11. In the core layer 7, there are formed a plurality of through holes 41, 43, 45, 75, 77 which electrically connect the plurality of external terminals 55 with the semiconductor device 1. The plurality of through hole 41, 43, 45, 75, 77 comprises the plurality of array through holes 41, 43, 45 arranged in correspondence with array of the plurality of external terminals 55, and one or more than two additional through holes 75, 77 arranged between the plurality of array through holes 41, 43, 45.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-353365
(P2002-353365A)

(43) 公開日 平成14年12月6日 (2002. 12. 6)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 B E

審査請求 未請求 請求項の数3 O L (全 11 頁)

(21) 出願番号 特願2001-161914(P2001-161914)

(22) 出願日 平成13年5月30日 (2001. 5. 30)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 永田 達也
茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内
(72) 発明者 宮本 誠司
東京都青梅市新町六丁目16番地の2 株式会社日立製作所デバイス開発センタ内
(74) 代理人 100098017
弁理士 吉岡 宏嗣

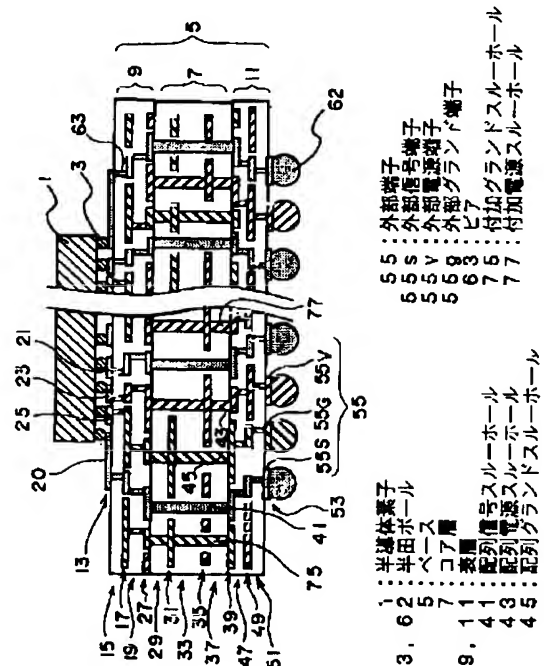
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体装置の大型化を抑制して、ノイズの発生を軽減させる。

【解決手段】 プリント配線板で形成されたコア層7の両面に表層9、11が設けられたベース5と、ベース5に搭載された半導体素子1とを備え、半導体素子1は、一方の表層9と接合部材3により接合され、他方の表層11には、複数の外部端子55が配列され、コア層7には、半導体素子1と複数の外部端子55とを電気的に接続する複数のスルーホール41、43、45、75、77が形成され、複数のスルーホール41、43、45、75、77は、複数の外部端子55の配列に対応して配置された複数の配列スルーホール41、43、45と、複数の配列スルーホール41、43、45の間に設けられた1つまたは2つ以上の付加スルーホール75、77を含んでなる半導体装置。



【特許請求の範囲】

【請求項1】 プリント配線板で形成されたコア層の両面に表層が設けられたベースと、
 該ベースに搭載された半導体素子とを備え、
 該半導体素子は、前記表層のうち一方の表層と接合部材により接合され、
 前記表層のうち他方の表層には、複数の外部端子が配列され、
 前記コア層には、前記半導体素子と前記複数の外部端子とを電気的に接続する複数のスルーホールが形成され、
 該複数のスルーホールは、前記複数の外部端子の配列に対応して配置された複数の配列スルーホールと、該複数の配列スルーホールの間に設けられた1つまたは2つ以上の付加スルーホールを含んでなる半導体装置。

【請求項2】 プリント配線板で形成されたコア層の両面に表層が設けられたベースと、
 該ベースに搭載された半導体素子とを備え、
 該半導体素子は、前記表層のうち一方の表層と接合部材により接合され、
 前記表層のうち他方の表層には、複数の外部端子が配列され、
 前記コア層には、前記半導体素子と前記複数の外部端子とを電気的に接続する複数のスルーホールが形成され、
 前記複数の外部端子は、外部信号端子と、外部電源端子と、外部グランド端子とからなり、
 前記複数のスルーホールは、前記外部信号端子と前記半導体素子とを電気的に接続する信号スルーホールと、前記外部電源端子と前記半導体素子とを電気的に接続する電源スルーホールと、前記外部グランド端子と前記半導体素子とを電気的に接続するグランドスルーホールと、
 前記外部電源端子と前記半導体素子または前記外部グランド端子と前記半導体素子とを電気的に接続する付加スルーホールとを含んでおり、
 前記複数のスルーホールは、前記複数の外部端子の数より前記付加スルーホールの分だけ多く設けられている半導体装置。

【請求項3】 請求項1または2に記載の半導体装置において、前記付加スルーホールは、略矩形に形成された前記コア層の対角線上近傍に設けられていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関する。

【0002】

【従来の技術】 格子状に端子が形成されたボールグリットアレイ半導体装置（以下、BGA半導体装置と称する）、ピングリットアレイ半導体装置（以下、PGA半導体装置と称する）、ランドグリットアレイ半導体装置（以下、LGA半導体装置と称する）、素子スケールパ

ッケージ半導体装置（以下、CSP半導体装置と称する）などは、収容できる信号線の数が多いなどの理由から広く利用されている。

【0003】 これら半導体装置は、電気的ノイズを低減するため、特開平7-153869号公報に記載の半導体装置のように、グランド層と電気的に接続された第1のグランドスルーホールに加え、底面の所定の部位に設けられたグランドパターンに、グランド層と電気的に接続された複数の第2のグランドスルーホールが設けられた半導体装置などが提案されている。例えば、この特開平7-153869号公報に記載の半導体装置は、実効的に電流が流れるグランド層の領域を拡大することにより、ノイズの発生を抑制することができる。

【0004】

【発明が解決しようとする課題】 しかし、これらの半導体装置では、各電極の周囲を囲むように、グランドパターンを設け、このグランドパターンにグランド層と電気的に接続する第2のグランドスルーホールを設けているため、グランドパターンを形成した分、半導体装置が大型化してしまう。半導体装置が大型化すると、半導体装置のコストが増大するとともに、半導体装置の実装面積が大きくなり、半導体装置を搭載する電子機器のコストが増大するなどの課題がある。

【0005】 本発明の課題は、半導体装置の大型化を抑制して、ノイズの発生を軽減させることにある。

【0006】

【課題を解決するための手段】 本発明は、上記課題を次の手段により解決する。すなわち、本発明は、プリント配線板で形成されたコア層の両面に表層が設けられたベースと、このベースに搭載された半導体素子とを備え、この半導体素子は、表層のうち一方の表層と接合部材により接合され、表層のうち他方の表層には、複数の外部端子が配列され、コア層には、半導体素子と複数の外部端子とを電気的に接続する複数のスルーホールが形成され、この複数のスルーホールは、複数の外部端子の配列に対応して配置された複数の配列スルーホールと、この複数の配列スルーホールの間に設けられた1つまたは2つ以上の付加スルーホールを含んでなる半導体装置である。

【0007】 このように、ベースのコア層に、外部端子の配列に対応して配置された配列スルーホールに加えて、自己外部端子、つまり、対応する外部端子を持たない付加スルーホールを、配列スルーホールと配列スルーホールの間に設けることにより、配列スルーホールの近傍に付加スルーホールを設けることができ、インダクタンスを軽減することができる。また、付加スルーホールは、対応する外部端子を持たないので、スルーホールの外部端子やパターンをベース面に形成するのに比べ、半導体装置の外部端子の数を少なくでき、半導体装置を小型化することができる。このため、半導体装置の大型化

を回避するとともに、インダクタンスを小さくすることができ、半導体装置におけるノイズの発生を軽減することができる。

【0008】また、本発明の半導体装置は、複数の外部端子が、外部信号端子と、外部電源端子と、外部グランド端子とから成り、複数のスルーホールは、外部信号端子と半導体素子とを電気的に接続する信号スルーホールと、外部電源端子と半導体素子とを電気的に接続する電源スルーホールと、外部グランド端子と半導体素子とを電気的に接続するグランドスルーホールと、外部電源端子と半導体素子または外部グランド端子と半導体素子とを電気的に接続する付加スルーホールとを含んで構成することもできる。このとき、半導体装置は、複数のスルーホールを、複数の外部端子の数より付加スルーホールの分だけ多く設けることもできる。

【0009】このように、外部信号端子と半導体素子とを電気的に接続する信号スルーホールと、外部電源端子と半導体素子とを電気的に接続する電源スルーホールと、外部グランド端子と半導体素子とを電気的に接続するグランドスルーホールと、外部電源端子と半導体素子とを電気的に接続する、または、外部グランド端子と半導体素子とを電気的に接続する付加スルーホールとを含んで構成された複数のスルーホールは、外部端子の数より付加スルーホールの分だけ多く設けられているので、付加スルーホールを設けた分、グランドや電源のインダクタンスを小さくすることができ、半導体装置のノイズの発生を軽減することができる。また、外部端子を設けない分、半導体装置の大型化を抑制することもできる。

【0010】また、本発明の半導体装置は、複数のスルーホールが、複数の外部端子の配列に対応して配置された複数の配列スルーホールと、これら配列スルーホールと配列スルーホールとの間に設けられた1つまたは2つ以上の付加スルーホールからなり、これら複数のスルーホールは、複数の外部端子の数より付加スルーホールの分だけ多く設けられ、複数の配列スルーホールは、外部信号端子と半導体素子とを電気的に接続し、かつ、配列された外部信号端子に対応して配置された配列信号スルーホールと、外部電源端子と半導体素子とを電気的に接続し、かつ、配列された外部電源端子に対応して配置された配列電源スルーホールと、外部グランド端子と半導体素子とを電気的に接続し、かつ、配列された外部グランド端子に対応して配置された配列グランドスルーホールとを含み、付加スルーホールを、外部電源端子と半導体素子とを電気的に接続、または、外部グランド端子と半導体素子とを電気的に接続し、配列して設けられた配列信号スルーホールと配列信号スルーホールとの間に配置することもできる。

【0011】このように、ベースのコア層に、外部端子の数より付加スルーホールの分だけ多くのスルーホールが設けられているので、付加スルーホールの分だけ、グ

ランドおよび電源のインダクタンスを軽減することができる。また、付加スルーホールは、配列信号スルーホールと配列信号スルーホールとの間に設けられているので、配列信号スルーホールの近傍に付加スルーホールを設けることができ、グランドや電源のインダクタンスを軽減することができる。更に、付加スルーホールは、自己外部端子を持たないので、外部端子やパターンをベース面に形成するのに比べ、半導体装置を小型化することができ、半導体装置およびこれを実装する電子機器の大型化を回避して、コストの増大を抑制することができる。更にまた、外部端子の径がスルーホールの径に比べて大きい場合、自己外部端子を持つ配列電源スルーホールや配列グランドスルーホールに比べ、付加スルーホールは、自己外部端子を持たない分、配列信号スルーホールの近傍に設けることができ、グランドや電源のインダクタンスを軽減することができる。

【0012】また、本発明の半導体装置は、ベースを複数の領域に分割して、これら複数の領域に配列スルーホールを設け、これら配列スルーホールが設けられた領域と領域の間に付加スルーホールを設けることもできる。

【0013】このように、ベースを複数の領域に分割して、これら分割された領域と領域の間に付加スルーホールが設けられているので、ベースの周囲にグランドスルーホールを設けるのに比べ、中央部に配置された外部端子に対応する配列スルーホールの近傍に付加スルーホールを設けることができ、インダクタンスを小さくすることができる。また、付加スルーホールに対応する外部端子が設けられていないので、半導体装置の大型化を抑制することができる。

【0014】また、本発明の半導体装置は、付加スルーホールを、略矩形に形成された前記ベースの対角線上近傍に設けることもできる。このように、ベースを対角線で複数の領域に分割して、これら分割された領域と領域の間に、付加スルーホールを設けることにより、従来の半導体装置の配線を大幅に変更することなく、付加スルーホールを設けることができる。これら領域は、対角線にそって分割された領域に限るものではなく、ベースの配線が大幅に変更されることがないように、領域を分割すればよく、例えば、ベースを直交する2直線により分割された領域が略矩形になるように4分割するなどしてもよい。

【0015】また、半導体装置の配列スルーホールが、中央部に設けられた主な電源スルーホールと、その周辺部に設けられた信号スルーホールと、これら信号スルーホールの間に設けられた電源スルーホールおよびグランドスルーホールとによって構成されている場合、中央部の電源スルーホールの領域と、周辺部の信号スルーホールの領域に分割して、電源スルーホールの領域と信号スルーホールの領域との間に付加スルーホールを設け、信号スルーホールの領域を更に、ベースの対角線などで分

割して、それらの間に付加スルーホールを設けてもよい。この場合、それぞれの信号スルーホールの領域は、ほぼ同じ大きさ、または、ほぼ同じ配列スルーホールの数になるように分割するのが好ましい。

【0016】また、信号スルーホールの数に対して、電源スルーホールとグランドスルーホールと付加スルーホールとを合わせた数は、 $1/4$ 以上、コア層に設けられているのが好ましい。例えば、複数の信号スルーホールが設けられ、これら複数の信号スルーホールの近傍に、グランドスルーホールが設けられている場合、複数の信号スルーホールに電流が流れると、この複数の電流の誘導によりグランドスルーホールに電流が流れ、このグランドスルーホールに流れる電流は、電流経路が重なり、インダクタンスが大きくなり好ましくない。信号スルーホールの数が、付加スルーホールを含めた電源スルーホールとグランドスルーホールとを合わせた数の4倍以内であれば、電流経路が重複することによるグランドや電源のインダクタンスの増加を軽減することができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について、図1～図5を参照して説明する。図1は、本発明の一実施形態における半導体装置の概略構成を示す縦断面図である。図2は、半導体装置の底面図である。図3は、半導体装置の概略構成を示す横断面図である。図4は、半導体装置の動作を説明する模式斜視図である。図5は、本発明の他の実施形態における半導体装置の概略構成を示す横断面図である。

【0018】本実施形態のBGA半導体装置は、図1に示すように、半導体素子1と、この半導体素子1に接合部材、例えば、半田ボール3により接合されたベース5とを含み構成されている。

【0019】半導体素子1は、図示しない端子が、ベース5側の面に一面に設けられ、図示しない端子は、格子状に配列されている。

【0020】半導体素子1の格子状に配列された図示しない各端子の間隔、つまり、半導体素子1の図示しない端子のピッチを拡大して、電子装置のマザーボードなどに電氣的に接続するベース5は、プリント配線板により形成されたコア層7と、このコア層7の両面に設けられた高密度配線可能な表層9、11により形成されている。

【0021】ベース5の両面に設けられた表層9、11のうち、半導体素子1側の面に設けられた表層9は、半導体素子1と接合部材である半田ボール3により接合され、半導体素子1と表層9との間は、図示しないエポキシ樹脂などの絶縁体が充填され、封止されている。

【0022】半導体素子1の図示しない複数の端子は、信号端子、電源端子、グランド端子を含んで構成され、これら図示しない複数の端子は、半導体素子1のベース5側の面に格子状に設けられている。

【0023】表層9は、例えば、表層9の表面、つまり、半導体素子1に対向する面に、半導体素子1の図示しない端子と接続する導体層13が設けられ、次に、絶縁体層15、導体層17および絶縁体層19が、半導体素子1側からベース5のコア層7に向かって形成され、導体層と絶縁体層が交互に積層されている。

【0024】導体層13は、信号線20、半導体接続信号端子21、半導体接続電源端子23および半導体接続グランド端子25などを含んで構成されている。導体層13の半導体接続信号端子21、半導体接続電源端子23、半導体接続グランド端子25は、半導体素子1に設けられた図示しない信号端子、電源端子、グランド端子にそれぞれ対向する位置に設けられている。半導体素子1の図示しない信号端子と半導体接続信号端子21、半導体素子1の図示しない電源端子と半導体接続電源端子23、半導体素子1の図示しないグランド端子と半導体接続グランド端子25は、それぞれ半田ボール3により接続されている。

【0025】導体層17は、プレーン、つまり、ベタ状に形成されたベタ状グランド導体層と、このベタ状グランド導体層に形成された開口部に設けられた信号導体層と、電源導体層を含んで構成されている。

【0026】コア層7は、コア層7の表面、つまり、表層9の絶縁体層19と接する面に、導体層27が設けられ、次に、絶縁体層29、導体層31、絶縁体層33、導体層35、絶縁体層37および導体層39が、表層9側から表層11側に向かって形成され、導体層と絶縁体層が交互に積層されている。

【0027】導体層27は、ベタ状に形成されたベタ状電源導体層と、このベタ状電源導体層に形成された開口部に設けられた信号導体層と、グランド導体層とを含んで構成されている。

【0028】導体層31は、ベタ状に形成されたベタ状グランド導体層と、このベタ状グランド導体層に形成された開口部に設けられた電源導体層を含んで構成されている。

【0029】導体層35は、ベタ状に形成されたベタ状電源導体層と、このベタ状電源導体層に形成された開口部に設けられたグランド導体層とを含んで構成されている。

【0030】導体層39は、ベタ状に形成されたベタ状グランド導体層と、このベタ状グランド導体層に形成された開口部に設けられた信号導体層と、電源導体層を含んで構成されている。

【0031】また、コア層7には、コア層7の両面に設けられた信号導体層を電氣的に接続する配列信号スルーホール41と、同じくコア層7に設けられたベタ状電源導体層および電源導体層を電氣的に接続する配列電源スルーホール43と、同じくコア層7に設けられたベタ状グランド導体層およびグランド導体層を電氣的に接続す

る配列グランドスルーホール45とが設けられている。

【0032】コア層7の配列信号スルーホール41、配列電源スルーホール43、配列グランドスルーホール45などは、例えば、接続しないベタ状の導体層に穴を形成しておき、ドリルで導体の穴の中を通るように貫通するスルーホールを形成し、無電解銅メッキでスルーホール内面に銅を形成する。このとき、ベタ状の導体層とスルーホールの内面に設けられた銅は、絶縁体により隔絶されている。また、接続するベタ状の導体層には穴を形成せず、同様にドリルで貫通するスルーホールを形成する。このとき、スルーホールの内面には、ベタ状の導体層の端面が露出しているため、無電解銅メッキでスルーホールの内面に銅を形成することにより、スルーホールとベタ状の導体層が接続される。このように、コア層7のスルーホールは、コア層7であるプリント配線板をドリルで穴を明け、この穴をメッキすることにより形成される。

【0033】配列信号スルーホール41は、コア層7の両面に設けられた信号導体層、つまり、導体層27の信号導体層と導体層39の信号導体層とを電気的に接続する。

【0034】配列電源スルーホール43は、コア層7の半導体素子1側の面に設けられたベタ状電源導体層、つまり、導体層27のベタ状電源導体層と、導体層35のベタ状電源導体層と、コア層7の表層11側の面に設けられた電源導体層、つまり、導体層39の電源導体層とを電気的に接続する。

【0035】配列グランドスルーホール45は、コア層7の半導体素子1側の面に設けられたグランド導体層、つまり、導体層27のグランド導体層と、導体層31のベタ状グランド導体層と、コア層7の底面に設けられたベタ状グランド導体層、つまり、導体層39のベタ状グランド導体層とを電気的に接続する。

【0036】表層11は、例えば、表層9と同様に、表層11の面のうち、コア層7に接する面に絶縁体層47が設けられ、次に、導体層49、絶縁体層51および導体層53が、コア層7からベース5の底面に向かって形成され、導体層と絶縁体層は、交互に積層されている。

【0037】導体層49は、ベタ状に形成されたベタ状電源導体層と、このベタ状電源導体層に形成された開口部に設けられた信号導体層と、グランド導体層とを含んで構成されている。

【0038】導体層53は、外部信号端子55s、外部電源端子55v、外部グランド端子55gなどの外部端子55により形成された導体層であり、これら外部端子55には、半田ボール62が接合されている。半田ボール62は、半導体装置を、図示しない電子装置の基板に接続するために使用される。

【0039】また、表層9には、絶縁体層15により絶縁された導体層13と導体層17、絶縁体層19により

絶縁された導体層17とコア層7の導体層27とをそれぞれ電気的に接続するビア63が設けられている。表層11にも、絶縁体層47により絶縁されたコア層7の導体層39と表層11の導体層49、絶縁体層51により絶縁された導体層49と導体層53とをそれぞれ電気的に接続するビア63が設けられている。

【0040】ビア63は、例えば、フォトリソグラフィやレーザーで絶縁体層に穴を開け、無電解銅メッキで全面に銅を形成し、フォトリソグラフィで銅をエッチングして配線パターンを形成する。絶縁体層の穴は、その上層に形成する層の表面に凹状のへこみを作ることになり、フォトリソグラフィの制約からベタ状の導体層の穴に短い配線を形成し、下層へのビアと上層へのビアの位置をずらしてへこみの量を分散する。

【0041】ここで、信号の接続経路は、半導体装置の図示しない信号端子から、半田ボール3、導体層13、ビア63、導体層17の信号線、ビア63、導体層27の信号導体層、配列信号スルーホール41、導体層39の信号導体層、ビア63、導体層49の信号導体層、ビア63、導体層53の外部信号端子55s、半田ボール62である。半導体素子1の図示しない信号端子は、半導体装置の出力端子である導体層53の外部信号端子55sとそれぞれ一対一の関係で接続されている。

【0042】電源の接続経路は、半導体装置1の図示しない電源端子から、半田ボール3、導体層13、ビア63、導体層17の電源導体層、ビア63、導体層27のベタ状電源導体層、配列電源スルーホール43、導体層35のベタ状電源導体層、配列電源スルーホール43、導体層39の電源導体層、ビア63、導体層49のベタ状電源導体層、ビア63、導体層53の外部電源端子55v、半田ボール62である。

【0043】グランドの接続経路は、半導体装置1の図示しないグランド端子から、半田ボール3、導体層13、ビア63、導体層17のベタ状グランド導体層、ビア63、導体層27の電源導体層、配列グランドスルーホール45、導体層31のベタ状グランド導体層、配列グランドスルーホール45、導体層39のベタ状グランド導体層、ビア63、導体層49のグランド導体層、ビア63、導体層53の外部グランド端子55g、半田ボール62である。

【0044】このように、電源は、ビア63や配列電源スルーホール43により、導体層27のベタ状電源導体層、導体層35のベタ状電源導体層、および、導体層49のベタ状電源導体層のベタ状に配置された電源の導体層に接続され、グランドは、ビア63や配列グランドスルーホール45により、導体層17のベタ状グランド導体層、導体層31のベタ状グランド導体層、および、導体層39のベタ状グランド導体層のベタ状に配置されたグランドの導体層に接続されている。また、ベタ状に配置した導体層には多数の穴があり、その穴の中に導体を

形成して、信号線を別な層に接続する。

【0045】表層11の導体層53を形成する外部端子55は、図2に示すように、表層11の表面、つまり、半導体装置の底面64に格子状に配列され、例えば、1行11列の121個が設けられている。また、図2は、説明のため、半田ボール62が省略されている。外部端子55が格子状に設けられた半導体装置の底面64は、中央部に略正方形に形成された内部電源領域65と、この内部電源領域65の周囲に形成された信号線領域67に分割されている。信号線領域67は、ベース5の対角線の近傍で4分割されている。

【0046】半導体装置の底面64の中央部に形成された内部電源領域65には、5行5列に格子状に計25個の外部電源端子55vと外部グランド端子55gが設けられ、外部電源端子55vと外部グランド端子55gは、隣り合うように配置され、外部電源端子55vを外側グランド端子55gが取り囲むように配置されている。一方、外部グランド端子55gも周囲を取り囲むように外部電源端子55vが配置されている。つまり、内部電源領域65では、ほぼ同数の外部電源端子55vと外部グランド端子55gとが互い違いに配置されている。

【0047】内部電源領域65の周囲に形成された信号線領域67は、半導体装置の底面64の対角線により4つの領域に分割され、分割された信号線領域67には、それぞれ外部信号端子55s、外部電源端子55v、外部グランド端子55gが配置されている。信号線領域67の内部電源領域65に隣接する内周部、および、底面64の対角線上には、外部グランド端子55gが、ほぼ均等な間隔を有して配置されている。つまり、信号線領域67の内部電源領域65側の角部、および、信号線領域67の外側の角部に、外部グランド端子55gが設けられ、信号線領域67の内部電源領域65側の角部に設けられた各外部グランド端子55gの中間部にも外部グランド端子55gが設けられている。この信号線領域67の内部電源領域65側の各外部グランド端子55gの間には、例えば、外部信号端子55sが2個ずつ配置されている。更に、信号線領域67の内部電源領域65側の各外部グランド端子55gは、内部電源領域65内の外部電源端子55vに隣接して配置されている。また、信号線領域67に設けられた外部電源端子55vは、信号線領域67の外周部にほぼ均等な間隔を有して配置されており、この信号線領域67の外周部に設けられた各外部電源端子55vの間には、外部信号端子55sが配置されている。このように、信号線領域67には、ほぼ同数の外部電源端子55vと外部グランド端子55gとが設けられ、これら外部電源端子55vおよび外部グランド端子55gを合わせた数のほぼ3倍の数の外部信号端子55sが設けられ、外部電源端子55vおよび外部グランド端子55gの周囲には外部信号端子55sが隣

接して設けられている。

【0048】本実施形態の半導体装置の動作と本発明の特徴部について説明する。本実施形態の半導体装置は、図3に示すように、外部信号端子55sに対応して設けられた配列信号スルーホール41、外部電源端子55vに対応して設けられた配列電源スルーホール43、外部グランド端子55gに対応して設けられた配列グランドスルーホール45、対応する外部端子55を持たない付加グランドスルーホール75、および、対応する外部端子55を持たない付加電源スルーホール77が設けられている。

【0049】コア層7に形成された複数のグランド導体層を電氣的に接続する付加グランドスルーホール75と、同じくコア層7に形成された複数の電源導体層を電氣的に接続する付加電源スルーホール77は、図3に示すように、ほぼ同数が、コア層7に形成されている。

【0050】付加グランドスルーホール75は、図1に示すように、コア層7の表面にもうけられた導体層27のグランド導体層と、コア層7の底面に設けられた導体層39のベタ状グランド導体層とを電氣的に接続するとともに、コア層7に内層された導体層31のベタ状グランド導体層も電氣的に接続する。また、付加グランドスルーホール75は、対応する外部端子55を持たないが、導体層31、39のベタ状グランド導体層により、配列グランドスルーホール45や外部グランド端子55gと電氣的に接続されている。

【0051】付加電源スルーホール77は、コア層7の表面にもうけられた導体層27のベタ状電源導体層と、コア層7の底面に設けられた導体層39の電源導体層とを電氣的に接続するとともに、コア層7に内層された導体層35のベタ状電源導体層も電氣的に接続する。また、付加電源スルーホール77は、対応する外部端子55を持たないが、導体層27、35のベタ状電源導体層により、配列電源スルーホール43や外部電源端子55vと電氣的に接続されている。

【0052】配列信号スルーホール41、配列電源スルーホール43および配列グランドスルーホール45は、それぞれ図2に示した外部信号端子55s、外部電源端子55vおよび外部グランド端子55gとほぼ同様に配列されている。また、対角線で分割された信号線領域67は、内部電源領域65からベース5の外周方向にずらして設けられている。このとき、格子状に配列されたスルーホールの各間隔を1ピッチとすれば、各信号線領域67を半ピッチほど外周方向にずらして設けることにより、内部電源領域65と信号線領域67の間、および、分割された信号線領域67同士の間隙を形成し、この隙間に付加グランドスルーホール75および付加電源スルーホール77が設けられている。付加グランドスルーホール75および付加電源スルーホール77は、図1に示すように、自己端子、つまり、対応する半導体素子1の

図示しない端子や対応する外部端子55を持たず、コア層7に形成されている。

【0053】つまり、配列信号スルーホール41、配列電源スルーホール43および配列グランドスルーホール45は、図3に示すように、相対的な配置が図2の外部端子55とはほぼ一致して配置されており、付加グランドスルーホール75と付加電源スルーホール77は、外部端子55の配列にない位置に配置されているものである。

【0054】付加グランドスルーホール75と付加電源スルーホール77は、内部電源領域65と信号線領域67の間、つまり、内部電源領域65の周囲に、交互に設けられている。また、付加グランドスルーホール75と付加電源スルーホール77は、信号線領域67と信号線領域67の間、つまり、ベース5の対角線上に設けられ、付加電源スルーホール77は、ベース5面の対角線上にそれぞれ2個づつ設けられ、これら2個の付加電源スルーホール77の間に、付加グランドスルーホール75が、それぞれ設けられている。更に、付加グランドスルーホール75は、信号線領域67の周囲にほぼ均等な間隔を有して設けられている。

【0055】次に、本実施形態のBGA半導体装置の動作について、図4を参照して説明する。図4は、BGA半導体装置の動作を説明するため、ベース5の構成を簡略化して表した図であり、導体層13、49の一部の信号線79、81と、これら信号線79、81に電気的に接続された配列信号スルーホール41と、導体層17、39のベタ状グランド導体層83、85と、これらベタ状グランド導体層83、85に電気的に接続された付加グランドスルーホール75を示しており、他の構造部材は省略してある。

【0056】ベース5は、図4に示すように、導体層13の信号線79、導体層17のベタ状グランド導体層83、導体層39のベタ状グランド導体層85、および、導体層49の信号線81を含んで構成され、これら導体層の間には、それぞれ図示しない絶縁体層が設けられている。また、導体層13の信号線79と導体層49の信号線81は、配列信号スルーホール41により電気的に接合され、導体層17のベタ状グランド導体層83と導体層39のベタ状グランド導体層85は、付加グランドスルーホール75により電気的に接合されている。なお、導体層17、39のベタ状グランド導体層83、85には、それぞれ開口部87、89が形成され、これら開口部87、89に配列信号スルーホール41が形成され、配列信号スルーホール41とベタ状グランド導体層83、85は、電気的に接合されていない。

【0057】半導体素子1の信号入出力では、例えば、信号の電圧をL(Low)からH(High)に切り換えると、半導体素子1に接続された導体層13の半導体素子1近傍の信号線79に電流が流れ、その信号線79に対向する導体層17のベタ状グランド導体層83

に、誘導により逆方向の帰還電流が流る。

【0058】信号線79と、この信号線79の近傍にベタ状グランド導体層83が設けられている場合、信号線79に過渡的に電流が流れると、磁場が発生し、誘導電流がベタ状グランド導体層83に流れる。誘導電流は、電流による磁場が最小になるように信号線79を流れる電流と逆向きに、ベタ状グランド導体層83を流れる。この逆向きの電流を帰還電流と称している。付加グランドスルーホール75、ベタ状グランド導体層85を流れる誘導電流も同様である。

【0059】導体層13の信号線79を流れる電流と、導体層17のベタ状グランド導体層83を流れる帰還電流は、両者の間の静電容量を介して連続な電流ループを形成する。この信号切換時の電流は、半導体素子1の近傍に流れ、時間の経過と共に半導体素子1から遠方に伝播する。つまり、同じ1本の信号線でも信号が伝播した部分には電流が流れ、信号が到達していない部分に電流は流れていないことになる。帰還電流は、導体層13の信号線79と対向する導体層17のベタ状グランド導体層83に流れ、通常、電流と帰還電流は、対になっている。信号線79の電流が配列信号スルーホール41に達すると、対向するベタ状グランド導体層83を流れる帰還電流も、配列信号スルーホール41が形成されたベタ状グランド導体層83の開口部87に達する。

【0060】配列信号スルーホール41に達した電流は、配列信号スルーホール41に電流経路があるため、そのまま配列信号スルーホール41を伝達し、同時に付加グランドスルーホール75に逆方向の帰還電流を誘導する。電流は、配列信号スルーホール41を流れて、導体層49の信号線81に達する。信号線81に達した電流は、信号線81に電流経路があるため、そのまま導体層49の信号線81を伝達し、時間の経過と共に配列信号スルーホール41から遠方に伝播する。信号線81を流れる電流は、同時に導体層39のベタ状グランド導体層85に逆方向の帰還電流を誘導する。導体層49の信号線81を流れる電流と、導体層39のベタ状グランド導体層85を流れる帰還電流は、両者の間の静電容量を介して連続な電流ループを形成する。

【0061】ベタ状グランド導体層85を流れる帰還電流は、導体層49の信号線81を流れる電流と逆向きに流れるため、配列信号スルーホール41に向かって流れるが、配列信号スルーホール41は、ベタ状グランド導体層85の開口部89に設けられているので、開口部89に達したベタ状グランド導体層85を流れる帰還電流は、行き場がない。このため、ベタ状グランド導体層85を流れる帰還電流は、ベタ状グランド導体層85の開口部89の周囲に蓄積して電位が変化し、近傍の付加グランドスルーホール75に、未結合電流となり流れ込む。また、ベタ状グランド導体層83を流れる帰還電流は、静電容量を使って流れるため、導体層17のベタ状

グランド導体層83の開口部87の周囲の電位が下がり、近傍の付加グランドスルーホール75から未結合電流が、導体層17のベタ状グランド導体層83の開口部87の周囲に供給される。

【0062】ここでは、帰還電流が流れることによりベタ状の導体層の電位が変化して、この電位の変化により発生する電流を未結合電流と称している。

【0063】配線直下のベタ状グランド導体層83、85を流れる帰還電流は、薄い絶縁体層を挟んで設けられた信号線79、81と、磁場が密に結合するためインダクタンスが小さいが、未結合電流は、信号線79、81を流れる電流との磁場の結合が小さいので、大きなインダクタンスを持つことがわかった。グランドのインダクタンスが大きいとグランドノイズが大きくなる。そのため、信号線79、81に接続された配列信号スルーホール41のなるべく近傍に、帰還電流を流す付加グランドスルーホール75を配置すれば、グランドのインダクタンスを小さくできることが新たにわかった。この例では信号線79、81に対向して設けられているのは、ベタ状グランド導体層83、85であるが、ベタ状電源導体層の場合も同様である。

【0064】このように、付加グランドスルーホール75と付加電源スルーホール77を、信号線領域67と信号線領域67の間に設けることにより、付加グランドスルーホール75および付加電源スルーホール77を配列信号スルーホール41の近傍に設けることができ、未結合電流のインダクタンスを低減できるため、ノイズを低減することができる。また、付加グランドスルーホール75と付加電源スルーホール77は、対応する外部端子55を持たないので、外部端子55を増加させることなく、グランドおよび電源のスルーホールを増やすことができるので、BGA半導体装置の大型化を抑制して、電源やグランドのインダクタンスを低減することができる。

【0065】また、コア層7において、信号線領域67を内部電源領域65の外側に配置することにより、コーナー部、外辺部、内部電源領域65と信号線領域67との間の隙間に、付加グランドスルーホール75や付加電源スルーホール77を配置できるため、配線設計が容易になる。

【0066】また、半導体素子1の出力回路は、例えば、信号線と電源を接続するスイッチAと、信号線とグランドを接続するスイッチBを含み構成されている。Lの信号を出力する時にはスイッチBを接続状態、スイッチAを切断状態とし、Hの信号を出力する時には逆の組み合わせとする。そのため、電流経路は、HからLの時に、信号線の静電容量に蓄えられた電荷をグランドに逃がすことになり、信号線に流れる電流の誘導により発生する帰還電流は、グランドに流れる。一方、信号をLからHに切り換える時には、信号線の静電容量を充電するため、信号線を流れる電流の誘導による帰還電流は、電

源の導体層を流れる。このように、信号を伝送するため帰還電流は、グランド導体層と電源導体層の両方をながれる。このように、帰還電流は、電源導体層とグランド導体層の両方を流れるため、本実施形態の半導体装置のように、電源のスルーホールと、グランドのスルーホールが、ほぼ同数設けられていると、電源導体層とグランド導体層の両方において、未結合電流のインダクタンスを低減することができる。

【0067】また、電源導体層に代わり、すべてグランド導体層を用いる場合、半導体素子の出力トランジスタの電源とグランドとの間に、大きな静電容量を設けることによって、信号を切り換える交流動作では、電源とグランドを交流的にショートする必要がある。こうようにすると、電源とグランドを区別する必要がなくなるが、半導体素子は、面積が小さい方が好ましいので、半導体素子の出力回路に十分大きな静電容量を設けることができない場合がある。更に、多数の種類の半導体素子に、同一のベースを用いる場合、電源とグランドのスルーホールの数をほぼ均等にすると、設計条件の異なる半導体素子を用いることができるので好ましい。

【0068】BGA半導体装置は、収容できる信号線の数が多いこと、プレーン状の電源やグランドのパターンを設けることによって、電気的なノイズの原因となる電源インピーダンスを低減しやすいことから広く使用されている。

【0069】動作周波数の高速化に伴って、BGA半導体装置を使用しても電気的なノイズが生じやすくなっており、特開平7-153869号公報に記載の半導体装置などのように、電気的なノイズを低減するため、帯状のグランドパターンの部位に多数のグランドスルーホールを設けたものなどが提案されている。

【0070】多数のグランドスルーホールを設けるとグランドに流れる電流が分散するため、ノイズの原因となるグランドインダクタンスは低減できるが、更に動作が高速化すると、ノイズを十分に低減できない場合がある。また、BGA半導体装置は多数の信号線を収容するのに適しているが、1000信号以上を収容する大型のBGA半導体装置では、グランドスルーホールと、このグランドスルーホールに接続する外部端子を多数設けることにより、BGA半導体装置の実装面積が大きくなり、BGA半導体装置やBGA半導体装置を搭載する電子装置が高価となる点について、十分に考慮されていなかった。

【0071】BGA半導体装置は半導体装置と電子装置の基板とを接続して信号を伝達する機能を果たすため、なるべく多くの信号を高密度に収容できれば小型、低価格を実現できる。そのためには、電源とグランドの外部端子を少なくすればよいが、電源とグランドの外部端子を少なくすると電源やグランドのインダクタンスが大きくなってノイズが大きくなる問題があった。

【0072】これに対し、本実施形態のBGA半導体装置は、プリント配線板で構成したコア層7の両面に表層9、11が設けられたベース5に、電氣的に接続された半導体素子1が搭載され、外部端子55の配列と対応する配列信号スルーホール41、配列電源スルーホール43および配列グランドスルーホール45に加えて、外部端子55の配列から外れた位置に配置した付加グランドスルーホール75、付加電源スルーホール77が設けられている。このように、付加グランドスルーホール75および付加電源スルーホール77は、外部端子55の配列の間に配置されているので、電源、グランドに電氣的に接続されたスルーホールの数を増加させ、帰還電流のインダクタンスを低減することができる。

【0073】また、半導体装置の信号に接続する配列信号スルーホール41を、それぞれ外部信号端子55sに接続させ、半導体装置の電源あるいはグランドに接続される配列電源スルーホール43、配列グランドスルーホール45、付加グランドスルーホール75および付加電源スルーホール77が、電源あるいはグランドに接続する外部電源端子55v、外部グランド端子gよりも多く設けられている。このように、付加グランドスルーホール75および付加電源スルーホール77を加えることによって、外部端子55の数を増加させることなく、信号切換え時にグランドや電源に流れる帰還電流によるインダクタンスを低減できるので、電氣的なノイズを低減することができる。また、外部端子55の数を増やさないで、半導体装置が大型化するのを回避して、半導体装置のコストの増大を抑制することができる。

【0074】更に、付加グランドスルーホール75と付加電源スルーホール77は、ベース5の対角に配置することもできるので、配列信号スルーホール41と配列信号スルーホール41の隙間に、付加グランドスルーホール75や付加電源スルーホール77を配置できるため、配線設計が容易になる。

【0075】また、本発明の半導体装置におけるスルーホールの配置は、本実施形態のスルーホールの配置に代わり、図5に示すように配置することもできる。断面構造、外部端子55の配列は、実施形態とほぼ同一のため省略する。

【0076】他の実施形態における半導体装置のスルーホールは、外部端子55の配列とほぼ同様に格子状に配置されている。これら格子状に設けられたスルーホールの信号線領域67に、ほぼ同数の付加グランドスルーホール75と付加電源スルーホール77とが設けられている。内部電源領域65に隣接して設けられた配列信号スルーホール41の外周部にほぼ均等な間隔を有して付加電源スルーホール77が設けられている。この配列信号スルーホール41の外周部に設けられた付加電源スルーホール77の更に外周部に付加グランドスルーホール75が設けられている。このとき、それぞれ付加グランドスルー

ホール75および付加電源スルーホール77は、配列信号スルーホール41に隣接して設けられている。

【0077】つまり、内部電源領域65の周囲を取り囲む信号線領域67が内側周囲、中央周囲、外側周囲の3段で形成されている場合、内側周囲と中央周囲の間に付加電源スルーホール77が設けられ、中央周囲と外側周囲の間に付加グランドスルーホール75が設けられている。

【0078】言い換えると、格子状に配置されたスルーホールが設けられた領域を縦方向に3分割、横方向に3分割して、9分割した場合の信号線領域67と信号線領域67との間に付加グランドスルーホール75および付加電源スルーホール77を設け、付加グランドスルーホール75と付加電源スルーホール77は、各信号線領域の間に各1個ずつ設けられている。

【0079】つまり、付加グランドスルーホール75は、配列されたスルーホールの1行目と2行目の間の4列目と5列目の間、1行目と2行目の間の7列目と8列目の間、4行目と5行目の間の1列目と2列目の間、4行目と5行目の間の10列目と11列目の間、7行目と8行目の間の1列目と2列目の間、7行目と8行目の間の10列目と11列目の間、10行目と11行目の間の4列目と5列目の間、および、10行目と11行目の間の7列目と8列目の間に設けられている。

【0080】付加電源スルーホール77は、配列されたスルーホールの2行目と3行目の間の4列目と5列目の間、2行目と3行目の間の7列目と8列目の間、4行目と5行目の間の2列目と3列目の間、4行目と5行目の間の9列目と10列目の間、7行目と8行目の間の2列目と3列目の間、7行目と8行目の間の9列目と10列目の間、9行目と10行目の間の4列目と5列目の間、および、9行目と10行目の間の7列目と8列目の間に設けられている。

【0081】このように、配列信号スルーホール41の近傍に付加グランドスルーホール75および付加電源スルーホール77を設けることにより、グランドや電源に流れる未結合電流によるインダクタンスを低減することができる。また、外部端子55の数を増加させることなく、付加グランドスルーホールや付加電源スルーホールを加えることによって、信号切換え時にグランドや電源に流れる帰還電流によるインダクタンスを低減できるので、電氣的なノイズを低減することができる。また、外部端子55の配列により、スルーホールの配列のピッチが制限を受けている場合、配列信号スルーホール41、配列電源スルーホール43、配列グランドスルーホール45の配置を変えることなく、付加グランドスルーホール75、付加電源スルーホールを、配列信号スルーホール41の間に設けることができる。

【0082】本実施形態の半導体装置は、BGA半導体装置であるが、本発明は、プリント基板をベース5とし

たBGAパッケージに限らず、PGA半導体装置やLGA半導体装置などの面格子端子やエリア端子などを有する半導体装置とすることもできる。また、外部端子55などの配列は、格子状に限らず、千鳥状に配列されていてもよい。

【0083】また、半導体装置の外部端子55は、実施形態の端子数によらず、32行列32列の1024ピンや、40行40列の1600ピンなど適宜選択することができる。このような場合も、内部電源領域65と信号線領域67を分割し、更に信号線領域67を適宜分割して、分割された信号線領域67の周囲に付加グランドスルーホール75や付加電源スルーホール77を設ければよい。

【0084】ベース5は、コア層7と表層9、11により多層に形成されているが、本発明の半導体装置は、本実施のベース5の構成に限られるものではなく、BGA半導体装置のキャリア配線板などの多層配線板などに、付加グランドスルーホール75や付加電源スルーホール77を設けることもでき、コア層7および表層9、11の層数は、外部端子55の数や回路の配線により適宜選択することができる。

【0085】

【発明の効果】本発明によれば、半導体装置の大型化を抑制して、ノイズの発生を軽減させることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態における半導体装置の概略構成を示す縦断面図である。

【図2】図1の半導体装置の底面図である。

【図3】図1の半導体装置の概略構成を示す横断面図である。

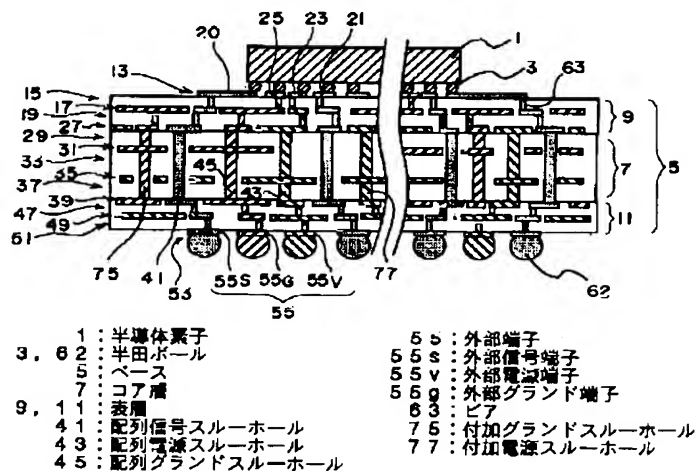
【図4】図1の半導体装置の動作を説明する模式斜視図である。

【図5】本発明の他の実施形態における半導体装置の概略構成を示す横断面図である。

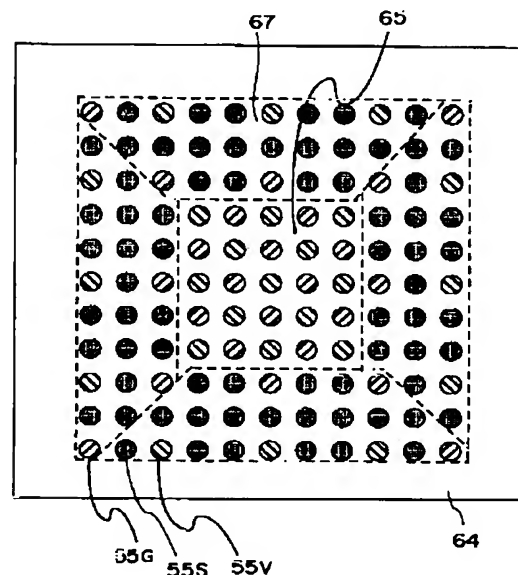
【符号の説明】

- 1 半導体素子
- 3、62 半田ボール
- 5 ベース
- 7 コア層
- 9、11 表層
- 13、17、27、31、35、39、49、53 導体層
- 15、19、29、33、37、47、51、絶縁体層
- 41 配列信号スルーホール
- 43 配列電源スルーホール
- 45 配列グランドスルーホール
- 55s 外部信号端子
- 55v 外部電源端子
- 55g 外部グランド端子
- 55 外部端子
- 63 ビア
- 75 付加グランドスルーホール
- 77 付加電源スルーホール

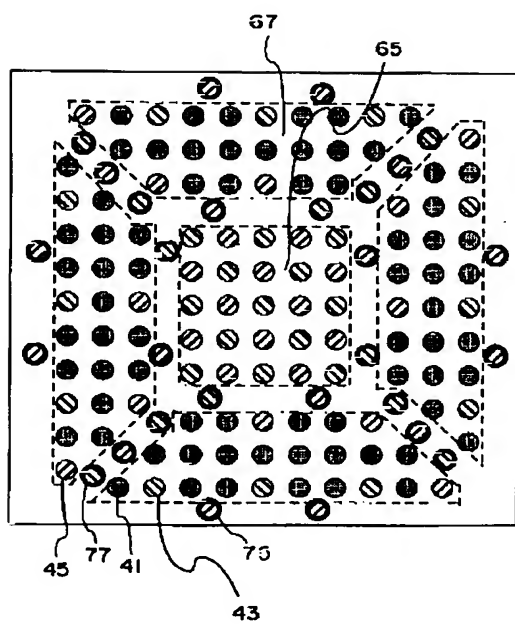
【図1】



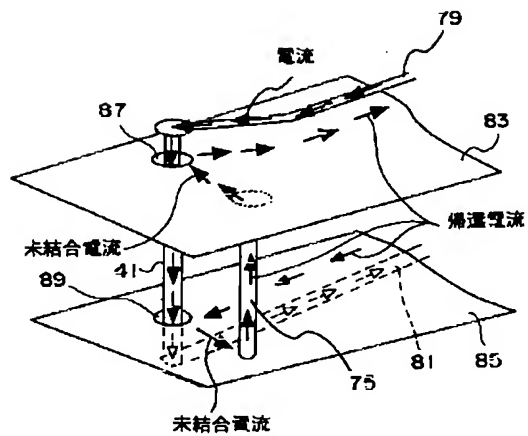
【図2】



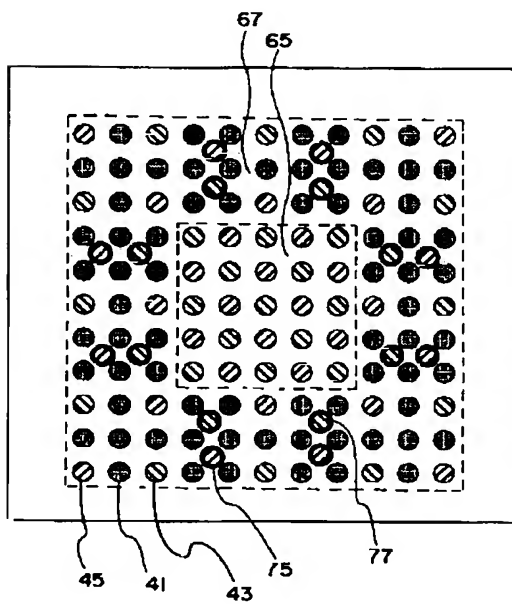
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 安藤 英子
東京都青梅市新町六丁目16番地の2 株式
会社日立製作所デバイス開発センタ内